

一种全负载稳定的高 PSRR LDO 的设计

张 龙¹, 来强涛², 刘生有², 郭桂良², 戴宇杰¹

(1 南开大学 电子信息与光学工程学院, 天津 300071; 2 中国科学院 微电子研究所, 北京 100029)

摘 要: 提出了一种高电源纹波抑制比的低压差线性稳压器. 该低压差线性稳压器通过提高带隙基准的电源抑制比以达到提高 LDO(低压差线性稳压器)低频电源纹波抑制的能力. 在 TSMC 0.18 μm CMOS 工艺下进行了仿真验证, 仿真结果表明, 该 LDO 最大负载电流可以达到 80 mA, 当负载电流在 0~80 mA 范围内变化时, 开环相位裕度均大于 64°, 证明了低压差线性稳压器的高稳定性. 当负载电流从 0 mA 跳变到 80 mA 时, 系统的输出电压过冲仅为 15 mV, 环路响应时间仅为 0.5 μs . 当负载电流为 80 mA, 测得 10 kHz 时的电源纹波抑制比为 -60.82 dB, 100 kHz 时 LDO 的电源纹波抑制比为 -57.66 dB.

关键词: 线性稳压器; 电源纹波抑制比; 片上系统

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2017)02-0058-05

Design of a Full Load Stability High-PSRR Low Dropout Regulator

ZHANG Long¹, LAI Qiang-tao², LIU Sheng-you², GUO Gui-liang², DAI Yu-jie¹

(1 School of Electronic Information and Optical Engineering, Nankai University, Tianjin 300071, China;

2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: An improved power supply ripple rejection (PSRR) low drop-out (LDO) voltage regulator circuit is proposed. The LDO improves the ability of power supply ripple rejection ratio by improving power supply rejection ratio of the bandgap reference. This approach is tested in TSMC 0.18 μm COMS process. The results show that the maximum load current is 80 mA, and the open-loop phase margin is not less than 64° at a load current from 0 to 80 mA which proves the high stability of LDO. In addition, the circuit achieves a transient response with 15 mV voltage variation and 0.5 μs settling time for an 80 mA load step. The PSRR at 10 kHz is -60.82 dB and 100kHz is 57.66 dB.

Key words: LDO; PSRR; SoC

1 引言

近些年来,片上系统的使用越来越广泛,为了增加系统的集成度,高频开关的使用变得日益频繁,因此电源的 PSRR(电源纹波抑制比)受到了高度关注^[1]. 相关的文献提出了几种提高 PSRR 的方法. (1) 将两级 LDO 进行级联,这种方法通过将电源纹波多次衰减来提高 PSRR,其缺点是第一级 LDO 会使电路压差增大,从而导致电路的功耗也会变大^[2]. (2) 功率管采用 NMOS 管. 但 NMOS 功率管会产生一个大的压差电压,不仅功耗大而且效率比较低. 若用电荷泵偏置功率管可以降低压差电压,但是电荷泵产生的纹

波噪声会被直接耦合到 LDO 的输出端; (3) 采用前馈放大器和求和运算放大器^[3],为抵消传输晶体管电源纹波对 LDO 电路的影响,在误差放大器的输出端引入了与输入电源相同的纹波. 通过引入的这个纹波可以与电源的纹波抵消掉. 但是复杂的电路会增大设计的难度. 在实际应用中,很多时候会在信号输入端接入大电容形成低通滤波器,来滤除高频电源纹波对系统的影响,并且电源纹波在一般情况下是较低频率的纹波波动. 因此提高低频段 LDO 的 PSRR 被看作是当前电路设计重点和难点^[4]. 而 LDO 低频电源抑制比主要受带隙基准电压源波动影响.

针对上述问题,本文采用以下方法提高

bandgap 电源抑制比以达到提高 LDO 低频电源抑制比的目的。(1)产生一个局部的电源电压 V_{DDL} , 使带隙基准电压源在高增益反馈回路控制的内部基准压 V_{DDL} 条件下工作。(2)为解决 MOS 管沟道长度调制所产生的对电源电压的依赖性采用共源共栅结构。(3)在 bandgap 的输出端增加一个 MOS 管电容 (M6) 来滤除一部分纹波。

2 LDO 系统结构

LDO 主要包括以下四部分:带隙基准电路、误差放大器、功率管和电阻反馈网路(如图 1 所示)。LDO 工作原理是将带隙基准输出电压与电阻反馈网络反馈回来的电压进行比较,误差放大器通过比较并放大这两个电压差值来调整功率管的电流大小,从而保证 LDO 输出电压值稳定。工作过程中当输出电压上升时,分压电阻反馈回的电压上升,而带隙基准输出值不变,导致误差放大器输出电压变大,功率管的栅源电压差值减小,使得流过功率管的电流减小。从而使 LDO 输出电压减小,通过负反馈达到保持输出稳定的目的。同理,当系统输出电压减小时,仍然可以通过这个负反馈来维持输出电压稳定。

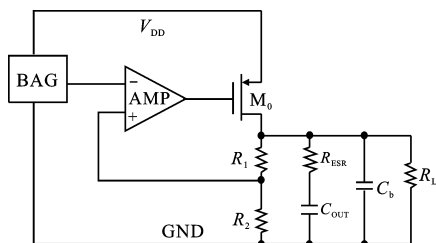


图 1 LDO 基本结构

在电路设计过程中,有两个问题需要考虑:(1)为应对输入电压的波动,LDO 应该具有足够高的电源纹波抑制比;(2)为应对输出负载的变化,LDO 要有在一定范围可以调节的等效内阻,从而使输出端具有足够的电流驱动能力^[5]。

3 LDO 电源抑制比的分析

3.1 传输晶体管对 LDO PSRR 的影响

如图 1 所示,对于传输晶体管如下所示(小信号模型 v_{REF} 为零)。

$$g_m(v_{DD} - v_1) = \frac{v_0}{R_1 + R_2} + \frac{v_0}{R_L} + v_0 SC_L \quad (1)$$

$$v_1 = \frac{v_0 R_2}{R_1 + R_2} * A_s \quad (2)$$

解得:

$$\frac{v_0}{v_{DD}} = \frac{1 + g_m r_{ds}}{Z_1 + Z_2(S) + \frac{g_m r_{ds} A_s R_2}{(R_1 + R_2) \left(1 + \frac{S}{\omega_e}\right)}} \quad (3)$$

$$Z_1 = \frac{R_1 + R_2 + r_{ds}}{R_1 + R_2} \quad (4)$$

$$PSRR_{tot}^{-1} = PSRR_{BAG}^{-1} + PSRR^{-1} \quad (5)$$

式中, g_m 和 r_{ds} 分别是功率管的跨导和沟道电阻。 A_s 和 ω_e 是误差放大器的直流增益和主极点。式(3)表明在低频时 LDO 的电源纹波抑制比主要依赖于反馈增益 $A_s R_2 / (R_1 + R_2)$ 。但在 250 nm 工艺下,对于传统的 LDO 提高误差放大器的 A_s 是一个挑战。

3.2 带隙基准和误差放大器对 LDO PSRR 的影响

LDO 对电源纹波的抑制用电源纹波抑制比 (PSRR) 来衡量。作为 LDO 的参考电压,带隙基准电压源的电源抑制比是决定 LDO PSRR 的一个关键因素,设计时要留有充分的裕量。误差放大器连接在功率管的栅端,对 LDO 的电源抑制比也有很大的影响。

如图 2 所示,对于带隙基准有:

$$V_{REF} = \frac{V_{DD}}{PSRR_{BAG}} \quad (6)$$

对于误差放大器, V_{DD} 在其输出端产生的增益能够等效到其负向输入端,

$$V = -V_{DD} A_D / A_s = -\frac{V_{DD}}{PSRR} \quad (7)$$

经计算如下:

$$-(\beta v_0 - v_-) * A_s * g_m - \frac{v_0}{r_{ds}} = \frac{v_0}{Z} \quad (8)$$

$$v_- = (PSRR_{BAG}^{-1} + PSRR^{-1}) * v_d \quad (9)$$

$$Z_{TOT} = Z \parallel r_{ds} \quad (10)$$

由以上方程可以得:

$$\frac{v_0}{v_{DD}} = \frac{A_s * g_m * Z_{TOT}}{1 + A_s * \beta * g_m * Z_{TOT}} PSRR_{tot}^{-1} \quad (11)$$

$$PSRR_{tot}^{-1} = PSRR_{BAG}^{-1} + PSRR^{-1} \quad (12)$$

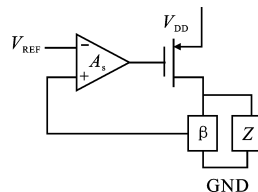


图 2 LDO 简化图

由式(11)可知,在低频时由误差放大器和带隙基准引起电源纹波增量是 $PSRR_{BAG}^{-1} + PSRR^{-1}$ 的 $1/\beta$ 倍。在高频时误差放大器的增益会减小,式(11)会趋近于零,纹波增益也会趋于零。

4 LDO 电路设计

4.1 bandgap 的设计

带隙基准源的整体结构见图 3。M₆ 为 MOS 管连接的滤波电容,能够避免在高频时 bandgap 的 PSRR 恶化从而对 LDO 的 PSRR 产生影响。采用共源共栅结构为带隙基准电压源的核心电路提供偏置电流,原因如下:(1)共源共栅电流源更接近理想电流源,不仅输出阻抗大而且恒流特性好;(2)可以消除由于沟道长度调制效应而引起的对电源的依赖性;(3)共源共栅晶体管可以将输入器件屏蔽,从而可以提高带隙基准的电源抑制比。带隙基准电压源电路在高增益反馈回路控制的内部基准压 V_{DDL} 条

件下工作,也可以使整个电路的电源抑制比得到显著提高。其工作原理是:对于理想运算放大器有

$$V_{REF} = V_{R_3}$$
 (13)

因此流过 R₃ 的电流为

$$I_3 = \frac{V_{R_3}}{R_3} = \frac{V_{REF}}{R_3}$$
 (14)

$$V_{DDL} = \frac{V_{REF}}{R_3} (R_2 + R_3)$$
 (15)

由式(15)可以看出,V_{DDL} 是一个与全局电源电压无关的内部基准压,只是由 V_{REF},R₂,R₃ 的取值来决定。为了取到合适的局部电压 V_{DDL},可以取 R₃ = 20 kΩ,R₃ = 30 kΩ。

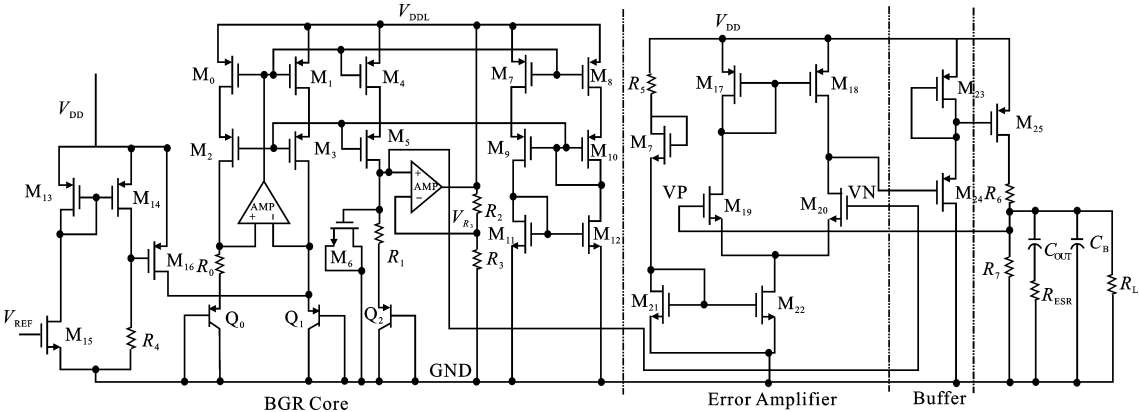


图 3 本文所设计的 LDO 电路图

本文中带隙基准电源中的运算放大器采用两级结构(见图 4),因为两级运算放大器在产生一个大增益的同时还可以产生一个高摆幅输出。此外,运算放大器增益的提高对提高带隙基准的电源抑制比也有较好的效果。带隙基准源中的运算放大器采用的是 PMOS 差分输入结构,因为 PMOS 功率管的闪烁噪声要远远小于 NMOS 功率管的闪烁噪声,运算放大器闪烁噪声的降低会使带隙基准源的输出噪声产生一定的抑制作用。在对两级运放补偿时,补偿电

容和调零电阻都起到重要作用,调零电阻的使用可以抵消电路中的次极点,所以即便是输出端负载电容很大,放大器仍然可以具有较高的稳定性。

4.2 误差放大器及传输晶体管的选择

误差放大器采用 NMOS 管输入全差分放大器结构(见图 3)。其中电阻的加入省去了偏置电路的设计,使误差放大器的结构更为简单。为使 LDO 达到低压降,PMOS 管采用共源极连接。在输出端采用片外大电容(通常是微法量级)的形式对电路进行补偿,此大电容产生 LDO 系统的主极点,并且大电容的引入可以抑制一部分电压波动从而使 LDO 能够稳定工作。

4.3 缓冲级的设计

在设计误差放大器的时候,希望获得一个高增益来提高电路的电源抑制比,因此会提高放大器输出阻抗,但是由于功率管尺寸很大,会有一个大寄生电容产生,这将会大大影响误差放大器的摆率。放大器要想提高输出摆率就必须可以驱动大电流。针对以上问题,可以在误差放大器和功率管之间加入一

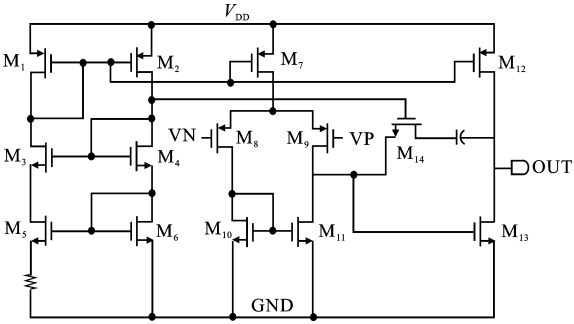


图 4 运算放大器电路

级缓冲器. 由于缓冲器的输出阻抗相对于误差放大器来说较小,而且具有很好的带负载能力. 缓冲级会使误差放大器的高输出阻抗与功率管的大寄生电容隔离,从而会提高了误差放大器的电流驱动能力. 缓冲器的加入可以使导通器件的寄生的极点远离单位增益带宽,提高了系统的稳定性. 同时驱动电流能力的加强还能够改善 LDO 的瞬态响应. 使 LDO 系统的稳定时间缩短,完整的 LDO 电路如图 3 所示.

5 仿真结果

5.1 bandgap 的仿真结果

本文设计的 LDO 电路采用 TSMC 0.18 μm CMOS 工艺实现. 温漂是带隙基准电压源非常重要的一个指标,在 3.3 V 的电压下,从 $-40^{\circ}\sim+125^{\circ}$ 的温度范围里做直流扫描,得到了如图 5 所示的温度曲线,从图中可以看出,在整个温度变化范围内,输出电压的大小基本不发生变化. 三个工艺脚下的温度系数分别为 $10.1\times 10^{-6}/^{\circ}\text{C}$ (TT), $10.15\times 10^{-6}/^{\circ}\text{C}$ (SS), $10.18\times 10^{-6}/^{\circ}\text{C}$ (FF).

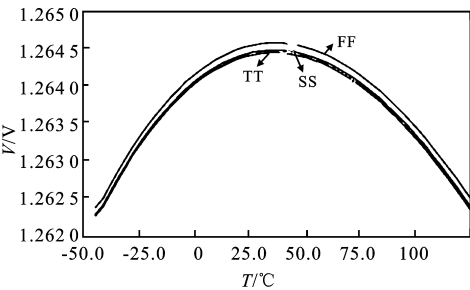


图 5 带隙基准温度特性曲线

电源抑制比(PSRR)体现了噪声对电源电压的影响程度,在 3.3 V 的电压下,对电路在 1 Hz~1 GHz 范围内进行交流扫描,基准电源的电源抑制比曲线如图 6 所示,从图中可以看出,在工艺脚 FF (125 $^{\circ}\text{C}$)时电源抑制比最差,但在 2 MHz 时仍然可以达到 87.92 dB.

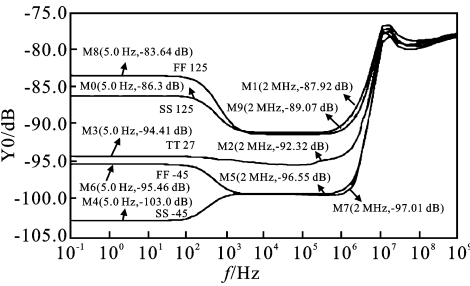


图 6 带隙基准 PSRR 曲线

5.2 LDO 的仿真结果

稳定性对 LDO 这个系统至关重要^[5],由于

LDO 相比于一些简单的运算放大器结构更加复杂,系统稳定起来也会变得复杂,而且负载电流发生变化时 LDO 系统的稳定性必然会有所差异,所以确保 LDO 系统的稳定是非常重要的一个方面. 负载电流越大, LDO 系统的稳定性也会越差, LDO 的稳定性如图 7 所示,从图中可以看出在 FF (-45°C) 时相位裕度最差为 64.53 $^{\circ}\text{C}$,所以该 LDO 系统具有较高的稳定性.

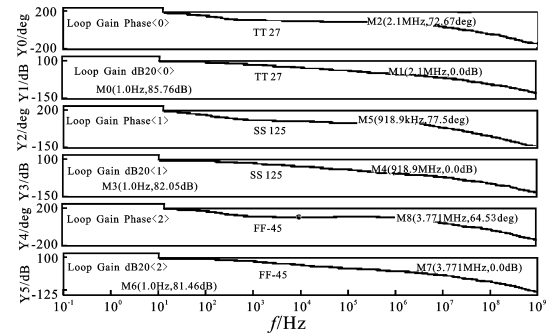


图 7 满负载下 LDO 的交流响应

LDO 的瞬态响应反映了当负载电流突变时 LDO 输出电压的变化情况,旁路电容 C_B 是为了抑制负载电流瞬变时产生的较大的输出纹波. 在 3.3 V 电压下对 LDO 瞬态响应进行仿真,仿真结果,如图 8 所示,从图中可以看出,当负载电流从 0 mA 跳变到 80 mA 时,三个工艺脚下系统的最大输出电压过冲仅为 15 mV 最大环路响应时间仅 0.5 μs .

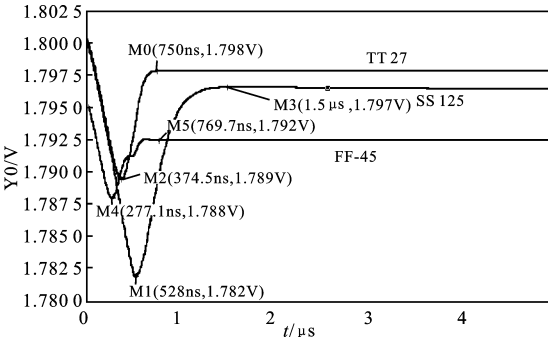


图 8 满负载下 LDO 的瞬态响应

在输入电压为 3.3 V 时,负载电流 80 mA 时测得的 LDO 电源纹波抑制比曲线如图 9 所示,从仿真曲线可知,在 100 kHz 时, LDO 的电源抑制比在工艺脚 SS (-45°C) 最差,为 -57.66 dB.

表 1 给出了本文设计的 LDO 与其他文献 LDO 的性能对比. 文献[3]采用的是消除前馈纹波的方法,将放大器的纹波提取后叠加到 LDO 误差放大器的输出端,误差放大器输出端的纹波会和功率管栅端的纹波抵消从而可以使 LDO 的电源抑制比提

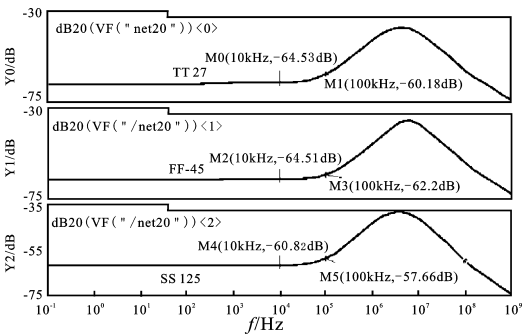


图 9 满负载下 LDO 的 PSRR 测试

高,但添加的辅助电路,会增加整个系统的复杂程度,而且电路越复杂版图的面积也会相应变大.文献[2]采用预稳压的结构,通过共源共栅与电荷泵结构来实现 PSRR 的提高,这种方法会消耗额外的电压裕度^[6].相比于上述提高 LDO PSRR 的结构或者方法,本文通过提高带隙基准的电源抑制比来实现,在低频时,LDO 可获得比较高的电源纹波抑制能力.

表 1 LDO 性能对比

文献	工艺/ μm	输入电 压/V	压差/ V	最大负 载电流/ mA	PSRR/ dB
[2]	0.6	1.8	0.6	5	-55@100 kHz
[3]	0.13	3	0.2	150	-57@100 kHz
[5]	0.35	1.05	>0.15	50	-50@100 kHz
本文	0.18	>2.3	0.5	80	-57.7@100 kHz

6 结束语

本文首先对提高 LDO 电源纹波抑制比的各种结构或方法进行了总结比较,然后分析了各个模块对 LDO 电源纹波抑制比的影响.提出通过提高带隙基准的电源抑制比来提高 LDO 低频电源纹波抑制比的方法.最后在 TSMC 0.18 μm CMOS 工艺下进行了仿真验证,该 LDO 的最大负载电流为 80 mA,当负载电流在 0~80 mA 范围内变化时,LDO 开环相位裕度均大于 64° ,具有极高的稳定性.当负载电流从 0 mA 突变到 80 mA 时,系统的过冲电压仅为 15 mV,环路响应时间仅为 0.5 μs .在 100 kHz 时,测得的 PSRR 的值均大于 57.66 dB(最坏条件

下为 57.66 dB).仿真结果表明,本文所设计的电路对提高 LDO 低频段的电源抑制比有较好的效果.

参考文献:

[1] 杨洁,曾云.一种快速瞬态响应的无片外电容 LDO 的设计[J]. 微电子学与计算机,2012,29(8): 124-126.

[2] Gupta V, Rincon M G. A 5 mA 0.6 μm CMOS Miller compensated LDO regulator with -27dB worst-case power-supply rejection using 60 pF of on-chip capacitance [C]// IEEE International Solid-state Circuits Conference (ISSCC). San Francisco, CA, USA: IEEE Press, 2007: 520-521.

[3] EL-Nozahim, Amer A, Torres J, et al. High PSR low drop-out regulator with feed-forward ripple cancellation technique [J]. IEEE Journal of Solid-state Circuits, 2010, 45 (3): 565-577.

[4] Hoon S, Chen J, Maloberti F, et al. An improved bandgap reference with high power rejection [J]. IEEE Int. Symp. Circuits and Systems (ISCAS), 2002, 5(6): 833-836.

[5] Heng S, Pham C K. A low-power high-PSRR low-dropout regulator with bulk-gate controlled circuit [J]. IEEE Trans Circ Syst, 2010, 57(4): 868-873.

[6] 吴勤,李巍,李宁,等.一种提高电源抑制率的线性稳压器设计[J]. 微电子学与计算机,2012,29(6): 735-739.

作者简介:

张 龙 男,(1989-),硕士研究生.研究方向模拟集成电路设计. E-mail:zhanglong1127@163.com.

来强涛 男,(1981-),助理研究员.研究方向为模拟/射频集成电路设计.

刘生有 男,(1984-),助理研究员.研究方向为模拟/射频集成电路.

郭桂良 男,(1981-),副研究员.研究方向为模拟/射频集成电路设计.

戴宇杰 男,(1961-),研究员,博士生导师.研究方向为纳米级 CMOS 工艺 SOC 设计技术、数模混合集成电路、模拟集成电路.